

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-203914

(P2002-203914A)

(43) 公開日 平成14年7月19日 (2002.7.19)

(51) Int.Cl.⁷

H 0 1 L 21/8242
27/108

識別記号

F I

H 0 1 L 27/10

データベース*(参考)

6 0 1 5 F 0 8 3

審査請求 未請求 請求項の数48 O L (全 9 頁)

(21) 出願番号 特願2001-196515(P2001-196515)

(22) 出願日 平成13年6月28日 (2001.6.28)

(31) 優先権主張番号 0 0 P 7 8 5 4 7

(32) 優先日 平成12年12月19日 (2000.12.19)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 元 哲 俊

大韓民国ソウル特別市冠岳区奉天7洞1603
-25番地

(72) 発明者 李 倫 ▲てい▼

大韓民国ソウル特別市冠岳区南▲けん▼洞
1081-34番地

(72) 発明者 朴 順 ▲れん▼

大韓民国大邱市南区鳳徳洞539-11番地

(74) 代理人 100072349

弁理士 八田 幹雄 (外4名)

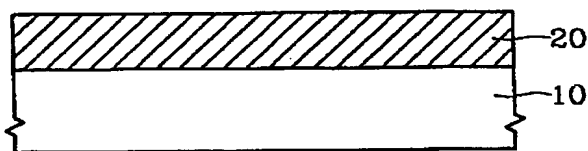
最終頁に続く

(54) 【発明の名称】 2段階熱処理による半導体メモリ素子のキャパシタ製造方法

(57) 【要約】

【課題】 2段階熱処理による半導体メモリ素子のキャパシタ製造方法を提供する。

【解決手段】 半導体基板上に下部電極を形成する。前記下部電極上に誘電体膜を形成する。前記誘電体膜上に貴金属よりなる上部電極を形成する。酸素を含む第1雰囲気下で、200～600℃の範囲内で選択され、前記上部電極の酸化温度より低い第1温度で前記上部電極が形成された結果物を第1熱処理する。酸素を含まない第2雰囲気下で、300～900℃の範囲内で選択され、前記第1温度より高い第2温度で前記第1熱処理された結果物を第2熱処理する。これにより、上部電極の表面を酸化させなくても誘電体膜のキュアリング効果を十分に得られるので、キャパシタの漏れ電流特性及び誘電特性が改善されて向上した電気的特性を得られる。



【特許請求の範囲】

【請求項1】 半導体基板上に下部電極を形成する段階と、

前記下部電極上に誘電体膜を形成する段階と、

前記誘電体膜上に貴金属よりなる上部電極を形成する段階と、

酸素を含む第1雰囲気下で、200～600℃の範囲内で選択され、前記上部電極の酸化温度より低い第1温度で前記上部電極が形成された半導体基板を第1熱処理する段階と、

酸素を含まない第2雰囲気下で、300～900℃の範囲内で選択され、前記第1温度より高い第2温度で前記第1熱処理された半導体基板を第2熱処理する段階とを含むことを特徴とする半導体メモリ素子のキャパシタ製造方法。

【請求項2】 前記下部電極はドーピングされたポリシリコン、金属、伝導性金属窒化物または伝導性金属酸化物よりなることを特徴とする請求項1に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項3】 前記下部電極はドーピングされたポリシリコン、TiN、Ta₂N、WN、W、Pt、Ru、Ir、RuO₂またはIrO₂よりなる単一膜またはこれらの複合膜より構成されることを特徴とする請求項2に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項4】 前記誘電体膜はTa₂O₅、TiO₂、(Ba、Sr)TiO₃(BST)、SrTiO₃(ST)、SiO₂、Si₃N₄またはPbZrTiO₃(PZT)よりなる単一膜またはこれらの複合膜よりなることを特徴とする請求項1に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項5】 前記上部電極はRu、Pt、Ir、RuO₂またはIrO₂よりなることを特徴とする請求項1に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項6】 前記第1熱処理段階で前記第1雰囲気は酸素を0.01～100体積%の濃度で含むことを特徴とする請求項1に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項7】 前記第1熱処理段階で前記第1雰囲気はO₂、N₂OまたはO₃ガスを含むことを特徴とする請求項1に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項8】 前記第1熱処理段階で、前記第1雰囲気は不活性ガスをさらに含むことを特徴とする請求項1に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項9】 前記第2熱処理段階で、前記第2雰囲気は不活性ガス雰囲気であることを特徴とする請求項1に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項10】 前記第2熱処理段階で、前記第2雰囲気は高真空雰囲気であることを特徴とする請求項1に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項11】 前記第1熱処理段階はRTP (rapid thermal processing) フェー

ネスで行うことを特徴とする請求項1に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項12】 前記第1熱処理段階及び第2熱処理段階は同じチャンバでインサイチュー (in-situ)で行うことを特徴とする請求項1に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項13】 前記下部電極を形成した後、前記下部電極を覆うシリコン窒化膜を形成する段階をさらに含むことを特徴とする請求項1に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項14】 前記シリコン窒化膜を形成する段階は、前記下部電極をNH₃雰囲気下で熱処理する段階を含むことを特徴とする請求項13に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項15】 前記シリコン窒化膜はCVD (chemical vapor deposition) 方法によって形成されることを特徴とする請求項13に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項16】 前記シリコン窒化膜は5～30Åの厚さに形成されることを特徴とする請求項13に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項17】 前記誘電体膜形成段階後、前記誘電体膜を熱処理する段階をさらに含むことを特徴とする請求項1に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項18】 前記誘電体膜を熱処理する段階は酸素を含む雰囲気下で行うことを特徴とする請求項17に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項19】 前記誘電体膜を熱処理する段階は200～800℃の温度下で行うことを特徴とする請求項18に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項20】 前記誘電体膜を熱処理する段階は酸素を含まない雰囲気下で行うことを特徴とする請求項17に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項21】 前記誘電体膜を熱処理する段階は500～800℃の温度下で行うことを特徴とする請求項20に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項22】 半導体基板上に下部電極を形成する段階と、

前記下部電極上にTa₂O₅膜よりなる誘電体膜を形成する段階と、

前記誘電体膜を熱処理する段階と、

前記熱処理された誘電体膜上にRuよりなる上部電極を形成する段階と、

酸素を含む第1雰囲気下で、300～500℃の範囲内で選択され、前記上部電極の酸化温度より低い第1温度で前記上部電極が形成された半導体基板を第1熱処理する段階と、

酸素を含まない第2雰囲気下で、500～700℃の範

囲内で選択され、第1温度より高い第2温度で前記第1熱処理された半導体基板を第2熱処理する段階とを含むことを特徴とする半導体メモリ素子のキャパシタ製造方法。

【請求項23】 前記下部電極はドーピングされたポリシリコン、金属、伝導性金属窒化物または伝導性金属酸化物よりなることを特徴とする請求項22に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項24】 前記下部電極はドーピングされたポリシリコン、TiN、Ta₂N、WN、W、Pt、Ru、Ir、RuO₂またはIrO₂よりなる単一膜またはこれらの複合膜より構成されることを特徴とする請求項23に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項25】 前記誘電体膜を熱処理する段階は酸素を含む雰囲気下で行うことを特徴とする請求項22に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項26】 前記誘電体膜を熱処理する段階は200～800℃の温度下で行うことを特徴とする請求項25に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項27】 前記誘電体膜を熱処理する段階は酸素を含まない雰囲気下で行うことを特徴とする請求項22に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項28】 前記誘電体膜を熱処理する段階は500～800℃の温度下で行うことを特徴とする請求項27に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項29】 前記第1熱処理段階で、前記第1雰囲気は酸素を0.01～100体積%の濃度で含むことを特徴とする請求項22に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項30】 前記第1熱処理段階で前記第1雰囲気はO₂、N₂OまたはO₃ガスを含むことを特徴とする請求項22に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項31】 前記第1熱処理段階は350～450℃の温度で行うことを特徴とする請求項22に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項32】 前記第1熱処理段階で、前記第1雰囲気は不活性ガスをさらに含むことを特徴とする請求項22に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項33】 前記第2熱処理段階で、前記第2雰囲気は不活性ガス雰囲気であることを特徴とする請求項22に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項34】 前記第2熱処理段階は600～650℃の温度で行うことを特徴とする請求項22に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項35】 前記第1熱処理段階及び第2熱処理段階は同じチャンバでインサイチューで行うことを特徴とする請求項22に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項36】 前記下部電極を形成した後、

前記下部電極を覆うシリコン窒化膜を形成する段階をさらに含むことを特徴とする請求項22に記載の半導体メモリ素子のキャパシタ製造方法。

【請求項37】 半導体基板上に下部電極を形成する段階と、

前記下部電極上に誘電体膜を形成する段階と、

前記誘電体膜中で前記下部電極の反対側上に貴金属よりなる上部電極を形成する段階と、

200℃と前記上部電極の酸化温度より低い第1温度限界との間の範囲内にある第1温度を有する酸素含有雰囲気

に前記上部電極を露出させる段階と、
前記上部電極の酸化温度より高い第2温度を有する酸素欠乏雰囲気に前記上部電極を露出させる段階とを含むことを特徴とする集積回路キャパシタ製造方法。

【請求項38】 前記上部電極を形成する前に、前記誘電体膜を酸素欠乏雰囲気

で熱処理することによって前記誘電体膜の結晶性を増加させる段階を行うことを特徴とする請求項37に記載の集積回路キャパシタ製造方法。

【請求項39】 前記酸素欠乏雰囲気はアルゴン及び窒素よりなる群から選択される不活性ガスを含むことを特徴とする請求項37に記載の集積回路キャパシタ製造方法。

【請求項40】 前記誘電体膜形成段階前に、前記下部電極上にシリコン窒化膜を形成する段階をさらに含むことを特徴とする請求項37に記載の集積回路キャパシタ製造方法。

【請求項41】 前記酸素含有雰囲気に前記上部電極を露出させる段階では、酸素が前記上部電極を通じて前記誘電体膜内に移動するのに十分な時間の間に前記上部電極を酸素含有雰囲気に露出させることを特徴とする請求項37に記載の集積回路キャパシタ製造方法。

【請求項42】 半導体基板上に下部電極を形成する段階と、
前記下部電極上に誘電体膜を形成する段階と、
前記誘電体膜上に金属または金属酸化物よりなる上部電極を形成する段階と、

200℃と前記上部電極の酸化温度より低い第1温度限界との間の範囲内にある第1温度を有する酸素含有雰囲気に前記上部電極を露出させる段階と、

前記上部電極の酸化温度より高い第2温度を有する酸素欠乏雰囲気に前記上部電極を露出させる段階とを含むことを特徴とする集積回路キャパシタ製造方法。

【請求項43】 前記金属または金属酸化物はRu、Pt、Ir、RuO₂及びIrO₂よりなる群から選択される導電材料であることを特徴とする請求項42に記載の集積回路キャパシタ製造方法。

【請求項44】 前記酸素欠乏雰囲気はアルゴン及び窒素よりなる群から選択される不活性ガスを含むことを特徴とする請求項42に記載の集積回路キャパシタ製造方法。

【請求項45】 前記誘電体膜形成段階前に、前記下部電極上にシリコン窒化膜を形成する段階をさらに含むことを特徴とする請求項42に記載の集積回路キャパシタ製造方法。

【請求項46】 前記酸素含有雰囲気の前記上部電極を露出させる段階では、酸素が前記上部電極を通じて前記誘電体膜内に移動するのに十分な時間内に前記上部電極を酸素含有雰囲気に露出させることを特徴とする請求項42に記載の集積回路キャパシタ製造方法。

【請求項47】 半導体基板上に下部電極を形成する段階と、

前記下部電極上に誘電体膜を形成する段階と、

前記誘電体膜上に金属または金属酸化物よりなる上部電極を形成する段階と、

200℃と前記上部電極の酸化温度より低い第1温度限界との範囲内にある第1温度を有する酸素含有雰囲気の前記上部電極を露出させる段階と、

前記上部電極の酸化温度より高く、前記誘電体膜内の酸素欠乏領域内に蓄積された酸素の拡散を通じて前記誘電体膜をキュアリングするのに十分に高い第2温度を有する酸素欠乏雰囲気に前記上部電極を露出させる段階とを含むことを特徴とする集積回路キャパシタ製造方法。

【請求項48】 前記誘電体膜形成段階前に、前記下部電極上にシリコン窒化膜を形成する段階をさらに含むことを特徴とする請求項47に記載の集積回路キャパシタ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ素子の製造方法に係り、特にキャパシタの電気的特性を改善するための熱処理工程を含むキャパシタの製造方法に関する。

【0002】

【従来の技術】半導体メモリ素子が高集積化されるにつれてメモリセル面積が減少し、これによるセルキャパシタンスの減少はメモリ素子、例えば、キャパシタを含むDRAM(Dynamic Random Access Memory)の集積度増加に深刻な障害要因になっている。セルキャパシタンスの減少はメモリセルの読出能力を低下させ、ソフトエラー率を増加させるだけでなく低電圧での素子動作を難しくして、素子作動時に電力消費を過多にする。これにより、超高集積半導体メモリ素子を製造するためにはセルキャパシタンスを増加させる方法を開発しなければならない。

【0003】一般的に、セルキャパシタンス誘電特性は等価酸化膜の厚さ(T_{oxeq})と漏れ電流密度で評価される。等価酸化膜の厚さはシリコン酸化物ではない他の誘電物質よりなる誘電体膜をシリコン酸化物よりなる誘電体膜の厚さに換算した値であって、その値が小さいほどキャパシタンスが増加する。また、漏れ電流密度は

キャパシタの電気的特性を向上させるためにその値が低いことが望ましい。

【0004】セルキャパシタンスを増加させるための方法として、キャパシタの誘電体膜としてシリコン窒化膜やシリコン酸化膜を使用せずに高誘電率を有する高誘電体膜に取り替える研究がなされている。それにより、Ta₂O₅、(Ba, Sr)TiO₃(BST)、Pb(Zr, Ti)O₃(PZT)で代表される絶縁性金属酸化物が半導体メモリ素子用キャパシタ誘電体膜材料として注目されている。

【0005】前記のように高誘電率を有する誘電体膜を採用するキャパシタを製造する方法において、キャパシタの漏れ電流特性及び誘電特性を改善するために通常的に上部電極を形成した後、酸素を含む雰囲気下で熱処理を行う。このように熱処理を行えばキャパシタの漏れ電流特性は改善されるが、希望の漏れ電流特性改善効果を得るためには熱処理温度が高くなければならない。また、満足できる水準の電気的特性を得るためには誘電膜の種類、誘電膜の熱処理状態によって上部電極形成後に行われる熱処理温度が変わらねばならない。

【0006】一方、集積化され続く半導体素子で適正水準のキャパシタンスを得るためにRu、Ptのような貴金属を電極物質として採用する技術が開発されている。

【0007】例えば、誘電体膜として窒素雰囲気下で結晶化されたTa₂O₅膜を形成した場合には上部電極形成後に酸素雰囲気下で500℃以上の温度で熱処理してこそ漏れ電流特性を改善させうる。しかし、上部電極として前記Ta₂O₅膜上にCVD(chemical vapor deposition)方法で形成されたRu膜を形成した場合に、前記上部電極を形成した後に酸素雰囲気下での熱処理温度が450℃以上になればRuよりなる上部電極が酸化されてしまうので、450℃以上で熱処理することが不可能である。前記Ta₂O₅膜を誘電体膜で形成した場合に400℃の熱処理温度では漏れ電流の改善効果が非常に小さい。

【0008】また、誘電体膜としてCVD方法で形成されたBST膜を採用する場合には、上部電極を形成した後に酸素雰囲気下で500℃以上の温度で熱処理してこそ満足できる電気的特性を得られる。しかし、上部電極としてRu膜を形成した場合に、Ru膜は450℃以上で急激に酸化されるので500℃以上の温度で熱処理することは不可能である。

【0009】

【発明が解決しようとする課題】本発明の目的は、キャパシタの漏れ電流特性及び誘電特性を向上させるための熱処理温度を低めなくとも、上部電極の酸化を抑制することによってキャパシタの電気的特性を効果的に改善できる半導体メモリ素子のキャパシタ製造方法を提供することである。

【0010】

【課題を解決するための手段】前記目的を達成するために、本発明の一様態に係る半導体メモリ素子のキャパシタ製造方法では、半導体基板上に下部電極を形成する。前記下部電極上に誘電体膜を形成する。前記誘電体膜上に貴金属よりなる上部電極を形成する。酸素を含む第1雰囲気下で、200～600℃の範囲内で選択され、前記上部電極の酸化温度より低い第1温度で前記上部電極が形成された結果物を第1熱処理する。酸素を含まない第2雰囲気下で300～900℃の範囲内で選択され、前記第1温度より高い第2温度で前記第1熱処理された結果物を第2熱処理する。

【0011】前記下部電極はドーピングされたポリシリコン、TiN、Ta₂N、WN、W、Pt、Ru、Ir、RuO₂またはIrO₂よりなる単一膜またはこれらの複合膜より構成される。

【0012】前記誘電体膜はTa₂O₅、TiO₂、(Ba、Sr)TiO₃(BST)、SrTiO₃(ST)、SiO₂、Si₃N₄またはPbZrTiO₃(PZT)よりなる単一膜またはこれらの複合膜よりなりうる。

【0013】前記上部電極はRu、Pt、Ir、RuO₂またはIrO₂よりなりうる。

【0014】前記第1熱処理段階で前記第1雰囲気は酸素を0.01～100体積%の濃度で含む。この時に、前記第1雰囲気はO₂、N₂OまたはO₃ガスを含む。前記第2熱処理段階で、前記第2雰囲気は不活性ガス雰囲気または高真空雰囲気である。前記第1熱処理段階及び第2熱処理段階は同じチャンバにおいてインサイチューで行うことができる。

【0015】本発明の一様態に係る半導体メモリ素子のキャパシタ製造方法では、前記下部電極を形成した後、前記下部電極を覆うシリコン窒化膜を形成する段階をさらに含むことができる。

【0016】本発明の一様態に係る半導体メモリ素子のキャパシタ製造方法では、前記誘電体膜形成段階後、前記誘電体膜を熱処理する段階をさらに含む。前記誘電体膜を酸素を含む雰囲気下で熱処理する場合には200～800℃の温度下で熱処理する。前記誘電体膜を酸素を含まない雰囲気下で熱処理する場合には500～800℃の温度下で熱処理する。

【0017】本発明の他の様態に係る半導体メモリ素子のキャパシタ製造方法では、半導体基板上に下部電極を形成する。前記下部電極上にTa₂O₅膜よりなる誘電体膜を形成する。前記誘電体膜を熱処理する。前記熱処理された誘電体膜上にRuよりなる上部電極を形成する。酸素を含む第1雰囲気下で、300～500℃の範囲内で選択され、前記上部電極の酸化温度より低い第1温度で前記上部電極が形成された結果物を第1熱処理する。酸素を含まない第2雰囲気下で500～700℃の範囲内で選択され、第1温度より高い第2温度で前記第1熱処理された結果物を第2熱処理する。

【0018】本発明によれば、キャパシタの電気的特性を向上させるために上部電極形成後に2段階熱処理により上部電極の表面を酸化させなくても誘電体膜のキュアリング効果を十分に得られるので、キャパシタの漏れ電流特性及び誘電特性が改善されて向上した電気的特性を得られる。

【0019】

【発明の実施の形態】次に、本発明の望ましい実施例について添付図面を参照して詳細に説明する。

【0020】次に例示する実施例をいろいろな形態に変形でき、本発明の範囲が後述する実施例に限定されるのではない。本発明の実施例は当業界で平均的な知識を有する者に本発明をより完全に説明するために提供されるものである。添付図面で膜または領域の大きさまたは厚さは明細書の明確性のために誇張されたものである。また、ある膜が他の膜または基板の“上”にあると記載された場合、前記ある膜が前記他の膜の上に直接存在する場合もあり、その間に第3の他の膜が介在する場合もある。

【0021】図1ないし図7は、本発明の望ましい実施例に係る半導体メモリ素子のキャパシタ製造方法を説明するために工程順序に従って示した断面図である。

【0022】図1を参照すれば、半導体基板10上に下部電極20を形成する。前記下部電極20はドーピングされたポリシリコン、W、Pt、Ru、Irなどの金属、TiN、Ta₂N、WNなどの伝導性金属窒化物、またはRuO₂、IrO₂などの伝導性金属酸化物よりなる単一膜、またはこれらの複合膜よりなりうる。

【0023】図2を参照すれば、前記下部電極20を覆うシリコン窒化膜30を形成する。前記シリコン窒化膜30を形成する理由は、後続工程中に前記下部電極20が酸化されて等価酸化膜の厚さ(T_{oxeq})が厚くなる現象を防止するためである。前記シリコン窒化膜30を形成することは、前記下部電極20をドーピングされたポリシリコンで形成した場合に特に効果的である。前記シリコン窒化膜30を形成するために、前記下部電極20が形成された結果物をNH₃雰囲気下で熱処理して前記下部電極20の露出された表面を窒化させる方法を用いる。または、CVD方法を用いてSi₃N₄膜を蒸着する方法を用いることもできる。前記シリコン窒化膜30は約5～30Å範囲内の厚さに形成することが望ましい。前記シリコン窒化膜30の形成段階は場合によって省略できる。

【0024】図3を参照すれば、前記シリコン窒化膜30が形成された結果物の全面に誘電体膜40を形成する。

【0025】前記誘電体膜40はTa₂O₅、TiO₂、(Ba、Sr)TiO₃(BST)、SrTiO₃(ST)、SiO₂、Si₃N₄またはPbZrTiO₃(PZT)よりなる単一膜またはこれらの複合膜よりなりうる。

る。

【0026】前記誘電体膜40として Ta_2O_5 膜を形成する場合にはその厚さを約40～100Åの範囲内にすることが望ましい。

【0027】図4を参照すれば、前記誘電体膜40を熱処理42する。前記誘電体膜40として Ta_2O_5 膜を形成した場合、前記熱処理42は200～900℃の温度で熱処理できる。前記熱処理42は酸素を含まない不活性ガス雰囲気または酸素を含む雰囲気下で行うことができる。前記誘電体膜40の熱処理42を不活性ガス雰囲気下で行う場合には、前記熱処理42時の温度は500～800℃の範囲内で選択されうる。また、前記誘電体膜40の熱処理42を酸素を含む雰囲気下で行う場合には、前記熱処理42時の温度は200～800℃の範囲内で選択されうる。前記誘電体膜40の熱処理42を酸素を含む雰囲気下で行うために O_2 、 N_2O または O_3 ガスを使用できる。前記熱処理42によって前記誘電体膜40を結晶化させ、後続の高温熱処理工程で受けられる影響を減らして電気的特性を改善させうる。

【0028】図5を参照すれば、前記熱処理42された誘電体膜40上に上部電極50を形成する。

【0029】前記上部電極50は、酸素分子に対して分解触媒の役割をして酸素に対してある程度透過性を有する8族の貴金属元素、例えばRu、Pt、Irまたは伝導性貴金属酸化物、例えば RuO_2 、 IrO_2 よりなりうる。

【0030】図6を参照すれば、酸素を含む第1雰囲気下で、200～600℃の範囲内で選択され、前記上部電極50の酸化温度より低い第1温度 T_1 で前記上部電極50が形成された結果物を第1熱処理52する。この時、酸素を含む前記第1雰囲気は酸素を0.01～100体積%、望ましくは約5体積%の濃度で含むようにする。このために、前記第1雰囲気は O_2 、 N_2O または O_3 ガスを含ませうる。この時、前記第1雰囲気の残りのガスは N_2 またはArのような不活性ガスよりなる。

【0031】例えば、前記誘電体膜40が Ta_2O_5 膜よりなり、前記上部電極50がCVD方法で蒸着されたRu膜よりなる場合、前記第1熱処理52時の第1温度 T_1 を300～500℃、望ましくは350～450℃とすることができる。

【0032】酸素を含む第1雰囲気で行われる前記第1熱処理52は前記上部電極50の酸化温度より低い第1温度 T_1 で行われるので、前記上部電極50の露出された表面が酸化されなく、前記第1雰囲気中に含まれた酸素は前記上部電極50を透過し、その結果、前記上部電極50と誘電体膜40との界面付近に酸素原子がたまる。前記界面付近にたまっている酸素原子は低い反応温度によって前記誘電体膜40をキュアリングできずに前記界面付近に未反応状態で残っている。

【0033】前記第1熱処理52のために、ファーン

またはバッチ式熱処理設備を用いることができる。望ましくは、前記第1熱処理52はRTP (rapid thermal processing) ファーンで行う。

【0034】図7を参照すれば、前記第1熱処理52された結果物は酸素を含まない第2雰囲気下で第2熱処理54する。前記第2熱処理54は、300～900℃の範囲内で選択され、前記第1温度 T_1 より高い第2温度 T_2 で行う。

【0035】前記第2熱処理54のために、ファーンまたはバッチ式熱処理設備を用いることができる。前記第1熱処理52及び第2熱処理54は同一チャンバにおいてインサイチューで行うことが望ましい。

【0036】前記第2熱処理54のために、前記第2雰囲気は N_2 またはArのような不活性ガス雰囲気または高真空雰囲気とすることができる。

【0037】例えば、前記誘電体膜40が Ta_2O_5 膜よりなり、前記上部電極50がCVD方法で蒸着されたRu膜よりなる場合、前記第2熱処理54時の第2温度 T_2 を500～700℃、望ましくは600～650℃とすることができる。

【0038】前記第2熱処理54時に適用される前記第2温度 T_2 は前記誘電体膜40内の酸素欠乏をキュアリングし、前記上部電極50と誘電体膜40との界面に存在するダングリング結合 (dangling bond) をなくすのに十分な温度に選択する。

【0039】前記のようにキャパシタの電気的特性を向上させるための熱処理のために、前記上部電極50が形成された結果物に対して酸素を含む第1雰囲気下で前記上部電極50の酸化温度より低い第1温度 T_1 で行われる前記第1熱処理52と、酸素を含まない第2雰囲気下で前記第1温度 T_1 より高い第2温度 T_2 で行われる前記第2熱処理54よりなる2段階熱処理を連続的に行うので、前記上部電極50の表面は酸化されない状態で前記誘電体膜40のキュアリング効果を十分に得られる。したがって、前記上部電極50の酸化なしにキャパシタの漏れ電流特性及び誘電特性が改善されうる。

【0040】図8及び図9は、本発明に係る方法によって製造されたキャパシタの漏れ電流特性を評価した結果を示したグラフである。図8は対照例として評価された結果であり、図9は本発明に係る方法によって製造されたキャパシタについての評価結果を示す。

【0041】図8及び図9の評価のために、半導体基板上にドーピングされたポリシリコンよりなる下部電極を400Åの厚さに形成した後、RTN (rapid thermal nitridation) 処理して前記下部電極上にシリコン窒化膜を形成した。その後、CVD方法を用いて前記シリコン窒化膜上に Ta_2O_5 よりなる誘電体膜を90Åの厚さに形成した。前記誘電体膜を N_2 雰囲気下で700℃の温度で熱処理して結晶化させ

た後、CVD方法を用いて前記誘電体膜上にRu膜を800Åの厚さに形成し、これをパターニングして上部電極を形成した。その後、O₂を5体積%で含有し、残りのガスはN₂よりなる雰囲気中で、前記上部電極が酸化されない温度の400℃で前記上部電極が形成された結果物を1次熱処理した後に漏れ電流を測定した結果、図8に示したような結果が得られた。図8には、前記上部電極を形成した直後の漏れ電流測定結果(—●—)と前記上部電極が形成された結果物を前記条件によって1次熱処理した後に得られた漏れ電流測定結果(—□—)が共に示されている。図8の結果から、前記上部電極が形成された結果物を前記条件によって1次熱処理だけ施した状態では前記1次熱処理前に比べて漏れ電流の改善効果が大きくないことが分かる。これは誘電体膜のキュアリングが十分にされなかったからである。

【0042】図9は、前記条件で第1熱処理された結果物に対して追加で100体積%のN₂雰囲気中で600℃の温度で2次熱処理した後に得られた漏れ電流評価結果である。前記条件によって2次熱処理を施せば特に低電圧領域で漏れ電流特性が大きく改善されることを図9の結果で確認できる。

【0043】前記のような結果が得られる理由は次の通りである。1次熱処理時の雰囲気中に含まれた酸素は前記上部電極表面を酸化させずに前記上部電極を透過するが、前記1次熱処理温度の400℃では反応温度が充分でないので、誘電体膜内に存在する欠陥をキュアリングできずに前記上部電極と誘電体膜との界面にたまり、このように界面にたまっていた酸素原子が後続の2次熱処理されながら前記誘電体膜内の欠陥をキュアリングする。すなわち、酸素を含む雰囲気下において400℃で行われる次熱処理後に漏れ電流特性の改善効果が不十分な理由は、酸素の供給量が問題になるのではなく、誘電体膜内の欠陥との反応程度が重要な因子として作用するからであると判断できる。

【0044】

【発明の効果】本発明に係る半導体メモリ素子のキャパシタ製造方法では上部電極を形成した後、キャパシタの電気的特性を向上させるための熱処理のために、上部電極が形成された結果物に対して酸素を含む第1雰囲気中で前記上部電極の酸化温度より低い第1温度で第1熱処理を行った後、酸素を含まない第2雰囲気中で前記第1

温度より高い第2温度で第2熱処理を行う。前記第1熱処理及び第2熱処理よりなる2段階熱処理によって上部電極の表面を酸化させなくても誘電体膜のキュアリング効果を十分に得られるので、キャパシタの漏れ電流特性及び誘電特性が改善されて向上した電気的特性を得られる。

【0045】以上、本発明を望ましい実施例を挙げて詳細に説明したが、本発明は前記実施例に限定されずに、本発明の技術的思想の範囲内で当分野における通常の知識を有する者によりいろいろな変形が可能である。

【図面の簡単な説明】

【図1】図1は、本発明の望ましい実施例に係る半導体メモリ素子のキャパシタ製造方法を説明するために工程順序に従って示した一工程の断面図である。

【図2】図2は、本発明の望ましい実施例に係る半導体メモリ素子のキャパシタ製造方法を説明するために工程順序に従って示した一工程の断面図である。

【図3】図3は、本発明の望ましい実施例に係る半導体メモリ素子のキャパシタ製造方法を説明するために工程順序に従って示した一工程の断面図である。

【図4】図4は、本発明の望ましい実施例に係る半導体メモリ素子のキャパシタ製造方法を説明するために工程順序に従って示した一工程の断面図である。

【図5】図5は、本発明の望ましい実施例に係る半導体メモリ素子のキャパシタ製造方法を説明するために工程順序に従って示した一工程の断面図である。

【図6】図6は、本発明の望ましい実施例に係る半導体メモリ素子のキャパシタ製造方法を説明するために工程順序に従って示した一工程の断面図である。

【図7】図7は、本発明の望ましい実施例に係る半導体メモリ素子のキャパシタ製造方法を説明するために工程順序に従って示した一工程の断面図である。

【図8】図8は、本発明に係る方法によって製造されたキャパシタの漏れ電流特性を評価した結果を示したグラフである。

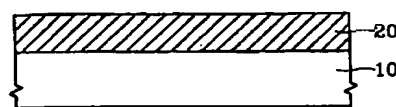
【図9】図9は、本発明に係る方法によって製造されたキャパシタの漏れ電流特性を評価した結果を示したグラフである。

【符号の説明】

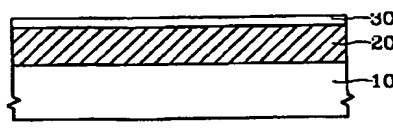
10…半導体基板

20…下部電極

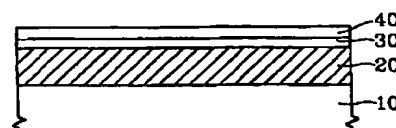
【図1】



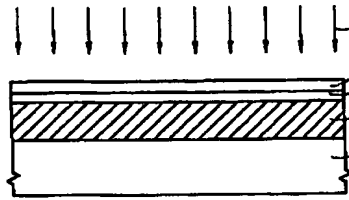
【図2】



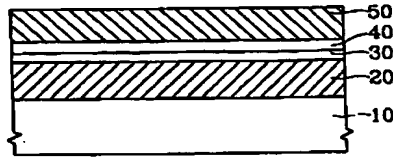
【図3】



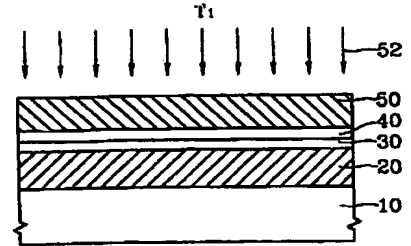
【図4】



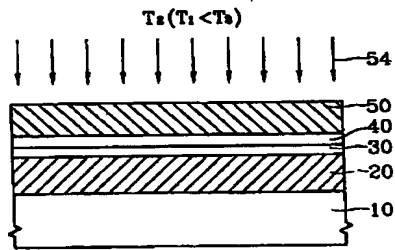
【図5】



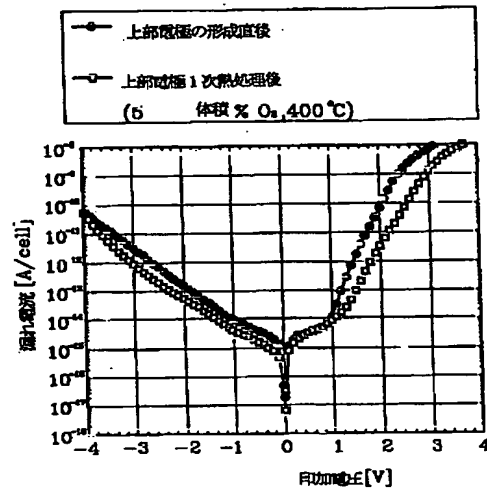
【図6】



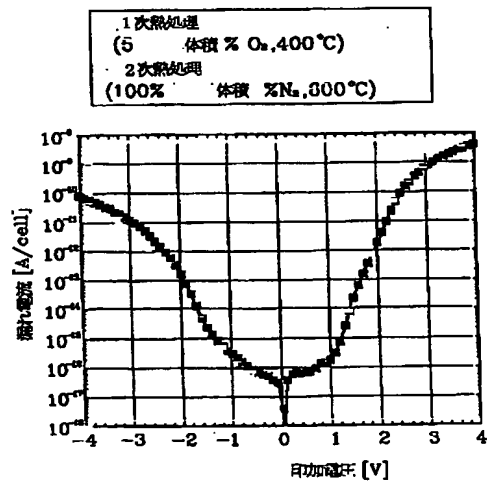
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 柳 次 英

大韓民国京畿道水原市勸善区金谷洞530番
地 エルギービレジ203棟1302号

(72)発明者 ▲こう▼ 斗 燮

大韓民国京畿道龍仁市水枝邑豊徳川里692
-1 番地 三星2次アパート205棟904号

(72)発明者 鄭 恩 愛

大韓民国京畿道水原市長安区水原郵遞局私
書函125号16棟1108号

(72)発明者 金 完 敦

大韓民国京畿道水原市長安区栗田洞518番
地 珍徳アパート203棟1103号

Fターム(参考) 5F083 AD11 AD60 GA06 JA04 JA06

JA13 JA14 JA15 JA19 JA38

JA39 JA40 JA43 PR15 PR16

PR33 PR34